

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-068261

(43)Date of publication of application : 03.03.2000

(51)Int.Cl.

H01L 21/31  
H01L 21/316

(21)Application number : 10-232671

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.08.1998

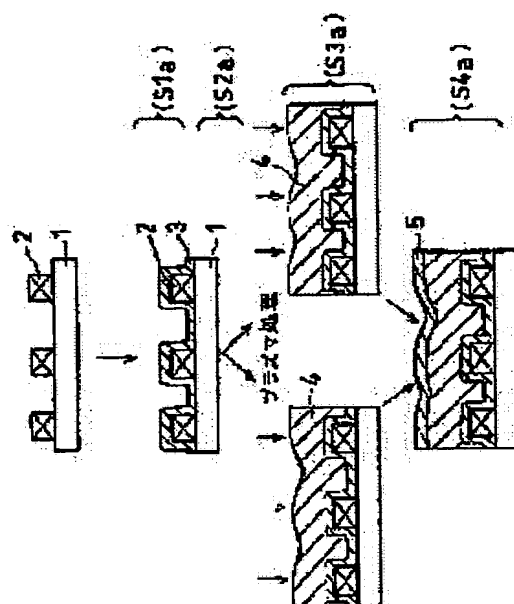
(72)Inventor : KUBO MAKOTO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a good insulating film by plasma treating with N<sub>2</sub>O gas and O<sub>2</sub> gas or plasma treating with N<sub>2</sub> gas and NH<sub>3</sub> gas on a surface of the film formed by a plasma CVD method.

**SOLUTION:** An amorphous carbon hydrogen film, an amorphous carbon fluorine film or an amorphous silicon film is generated as a first insulating film 3 on a surface of a semiconductor substrate 1 formed with an element or wiring pattern 2 on its surface in a plasma reaction chamber by a plasma CVD method. Then, a surface of the formed film 3 is plasma treated. As the plasma treating, in the case of applying an APL film as a second insulating film 4, N<sub>2</sub>O, O<sub>2</sub> plasma treatments are executed in the same reaction chamber. As the film 4, in the case of applying a TEOS O<sub>3</sub> film, after the film 3 is formed, N<sub>2</sub>, NH<sub>3</sub> plasma treatments are executed in the chamber.



## LEGAL STATUS

[Date of request for examination]

08.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than abandonment the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

14.07.2004

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68261

(P2000-68261A)

(43) 公開日 平成12年3月3日(2000.3.3)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 21/31  
21/316

H 0 1 L 21/31  
21/316

C 5 F 0 4 5  
P 5 F 0 5 8

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21) 出願番号

特願平10-232671

(22) 出願日

平成10年8月19日(1998.8.19)

(71) 出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者

久保 誠

福岡県北九州市小倉北区下町1丁目10番  
1号 株式会社東芝北九州工場内

(74) 代理人

100081732

弁理士 大胡 典夫 (外1名)

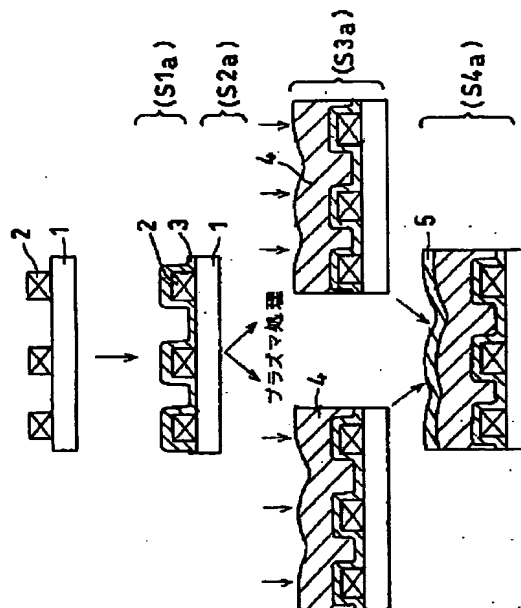
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 半導体装置の製造方法で、特に多層配線構造を有する半導体装置の層間絶縁膜を少ない工程で形成するための製造方法。

【解決手段】 半導体装置の製造で、多層配線工程中の層間絶縁膜の形成工程での低誘電率な第一絶縁膜3 (アモルファスカーボン水素膜、アモルファスカーボンフッ素膜やアモルファスシリコン膜) の表面をプラズマ処理を施した後に、その表面上に第二の絶縁膜4を成膜する。



## 【特許請求の範囲】

【請求項1】 表面に素子または配線を有する半導体基板の前記表面に第一の絶縁膜を堆積する半導体装置の製造方法において、

前記第一の絶縁膜は、プラズマCVD法により形成された後に、その表面に $N_2$ ガスと $O_2$ ガスによるプラズマ処理、又は $N_2$ ガスと $NH_3$ ガスによるプラズマ処理を施すことを特徴とする半導体装置の製造方法。

【請求項2】 前記第一の絶縁膜の表面に $N_2$ ガスと $O_2$ ガスによるプラズマ処理を施した後に、該表面に第二の絶縁膜を堆積させることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第一の絶縁膜の表面に $N_2$ ガスと $NH_3$ ガスによるプラズマ処理を施して該表面に第二の絶縁膜を堆積させた後に、その表面に第三の絶縁膜を堆積させることを特徴とした請求項1記載の半導体装置の製造方法。

【請求項4】 前記第一の絶縁膜は、アモルファスカーボン水素膜、アモルファスカーボンフッ素膜又はアモルファスシリコン膜のいずれかであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記第二の絶縁膜は、減圧CVD法を用いて $SiH_4$ ガス及び $H_2$ 、 $O_2$ ガスと $N_2$ ガスを反応材料として665Pa以下の真空中で $-10^\circ C$ 以上 $+10^\circ C$ 以下の半導体基板温度で互いに反応させることによってリフロー性 $SiO_2$ 膜を形成し、続いて $300^\circ C \sim 400^\circ C$ の成膜温度でのプラズマCVD法によってP-SiON膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記第二の絶縁膜は、 $SiO_2$ ガスを主成分としTEOSガスと $O_2$ ガスを主反応物とし、常圧から140Paの圧力範囲で $300^\circ C \sim 600^\circ C$ にてCVD法で $SiO_2$ 膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 前記第一の絶縁膜は、フッ素を添加させたTEOS膜であることを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係わり、特に多層配線構造を有する半導体装置の層間絶縁膜を形成するための製造方法に関する。

## 【0002】

【従来の技術】半導体装置の集積度が増大するにつれて、半導体基板上に配線材料を多層にわたって形成するいわゆる多層配線化が進行しており、このような多層配線構造を有する半導体装置の製造工程が複雑化してきており、製品歩留まり低下や製造コスト増大の大きな要因として問題視されている。

【0003】特に、様々な形態で行われている多層配線

形成工程は、半導体装置の製造価格に占有する割合が大きいため、半導体装置のコストダウンを図るうえで多層配線工程のコスト低減化は必須の要件になっている。

【0004】以下、図面を参照して通常実施されている多層配線の形成工程を説明する。図4は多層配線形成工程のフロー図であり、図5はそれによって生成された膜の断面図である。

【0005】すなわち、通常多層配線の形成工程では、まず、半導体基板11の上に下層配線用の第一の配線材料を堆積後、その第一の配線材料に所定の下層配線用のパターニングを行い配線パターン12を形成する。

【0006】次に、パターニングされた配線パターン12の上にプラズマCVD法等で第一絶縁膜13を形成すると共に配線パターン12相互間に絶縁膜を埋め込む。

## (S1b)

この時点では、第一絶縁膜13の表面は配線パターン12等の影響を受け凹凸が存在していて、そのままではその後の上層配線用の配線材料の堆積時や、上層配線のパターニング時に悪影響を及ぼし、上層配線の段切れに起因する断線不良を発生させる恐れがある。

【0007】そのため、通常は、上層配線用の配線材料を堆積する前に、その下地である第一絶縁膜13の表面をレジストエッチバック法やCMP (Chemical Mechanical Polishing) 法等で平坦化处理を施している。(S2b)

次に、平坦化处理された第一絶縁膜13の上に第二絶縁膜14を生成する。(S3b)

また、第一絶縁膜13の表面を平坦化する方法の替わりに、第一絶縁膜13の上に絶縁材料である図示しないSOG (Spin On Glass) 膜を形成して上層配線材料の下地段差を緩和する方法も知られている。

【0008】また、近年、層間絶縁膜表面の平坦化技術の一つの例として、APL (Advanced Planarization Layer) プロセスが報告 (文献: Matsuura et. al. IEEETech. Dig. pp117, 1994) されている。

【0009】このAPLプロセスは、図6に示すように、まず、半導体基板11の上に下層配線用の第一の配線材料を堆積後、その第一の配線材料に所定の下層配線用のパターニングを行い配線パターン12を形成する。次に、層間絶縁膜の形成として、 $SiH_4$ ガスと酸化剤である $H_2O_2$  (過酸化水素水) とを低温 (例えば $0^\circ C$ )・真空中で反応させることによって、下層配線の上に自己流動性 (リフロー) の $SiO_2$ 膜を形成する。(S1c)

その後、この第二絶縁膜14の上にキャップ膜としてP-SiON膜15を形成する。(S4c) 更に、P-SiON膜14にファーンエスアニール処理 (S5c) を施して、成膜された膜の水分を除去した後に、次工程に移

行している。

【0010】この方法は、下層配線の配線相互間の絶縁膜の埋め込みと絶縁膜表面の平坦化を同時に達成できるため、一回の成膜で平坦化までの工程を終了することが出来る。従って、多層配線工程のコスト及び工程の低減化要求には応えることができる。

【0011】

【発明が解決しようとする課題】しかしながら、上層の配線材料を堆積する前に、その下地である絶縁膜の表面をレジストエッチバック法やCMP (Chemical Mechanical Polishing) 法等で平坦化して段差を緩和する方法では、P-SiON膜のような層間絶縁膜の形成工程は1回目の成膜から2回目の成膜へと進むに従って多層になる毎に工程数が多くなりコストも高くなり、前述したような多層配線工程の低減化の要求に対しての大きな障害となっている。

【0012】また、第一絶縁膜上に絶縁材料であるSiO<sub>2</sub>膜を形成する方法は、SiO<sub>2</sub>膜の形成(塗布及び焼成)に際して、多くの回数の熱処理工程が必要であるばかりでなく、配線の信頼性を確保するためにSiO<sub>2</sub>膜の不要部分をレジストエッチバック法等で除去する工程が必要になる。そのため、工程数が多くなり多層配線工程の低減化要求に対して十分応えることが出来ないのが現状である。

【0013】また、APLプロセスは、生成される膜自体は優れた特性があるが、自己流動性を有する膜には以下の問題点が存在する。

【0014】すなわち、微細配線化が進行するに伴って、配線間及び層間絶縁膜間の間隔によっては、設計回路自体の遅延時間が大きく関係してくる。そのため、層間絶縁膜に依る比誘電率が大きく影響する。つまり、層間絶縁膜の誘電率が所定値以内で安定していることが要求されるが、APLプロセスによる無機膜は自己流動性のため比誘電率の安定性が保証できない惧れがある。

【0015】また近年、ホットキャリアによる信頼性の寿命の劣化や、素子特性の変動についての問題が生じてきている。

【0016】そのため、近年、低誘電率な代表的な膜として、アモルファスカーボン水素膜、アモルファスカーボンフッ素膜やアモルファスシリコン膜が注目されている。

【0017】しかし、これらの有機膜は単膜のみでは平坦性に関しては層間絶縁膜として機能しないため、微細配線化が進行すると共に深刻な問題になっている。

【0018】上記の課題を解決するために、本発明は、多層配線工程の層間絶縁膜の形成工程で、低誘電率な有機膜として、アモルファスカーボン水素膜、アモルファスカーボンフッ素膜やアモルファスシリコン膜を用いても、平坦化のためのAPL膜やTEOS膜のフロー性を損ねることなく形成が可能な絶縁膜の形成方法を提供す

るものである。

【0019】つまり、本発明では平坦化のためにAPL膜を適用した場合には、アモルファスカーボン水素膜又はアモルファスカーボンフッ素膜又はアモルファスの各々膜の表面をN<sub>2</sub>等とN<sub>2</sub>Oプラズマ処理を施し、また、O<sub>2</sub>、TEOS膜を適用した場合には、同様に膜の表面をH<sub>2</sub>等とNH<sub>3</sub>プラズマ処理を施すことによって良好な絶縁膜を提供するものである。

【0020】

【課題を解決するための手段】本発明によれば、表面に素子または配線を有する半導体基板の前記表面に第一の絶縁膜を堆積する半導体装置の製造方法において、前記第一の絶縁膜は、プラズマCVD法により形成された後に、その表面にN<sub>2</sub>OガスとO<sub>2</sub>ガスによるプラズマ処理、又はN<sub>2</sub>ガスとNH<sub>3</sub>ガスによるプラズマ処理を施すことを特徴とする半導体装置の製造方法にある。

【0021】また本発明によれば、前記第一の絶縁膜の表面にN<sub>2</sub>OガスとO<sub>2</sub>ガスによるプラズマ処理を施した後に、該表面に第二の絶縁膜を堆積させることを特徴とする半導体装置の製造方法にある。

【0022】また本発明によれば、前記第一の絶縁膜の表面にN<sub>2</sub>ガスとNH<sub>3</sub>ガスによるプラズマ処理を施して該表面に第二の絶縁膜を堆積させた後に、その表面に第三の絶縁膜を堆積させることを特徴とした半導体装置の製造方法。

【0023】また本発明によれば、前記第一の絶縁膜は、アモルファスカーボン水素膜、アモルファスカーボンフッ素膜又はアモルファスシリコン膜のいずれかであることを特徴とする半導体装置の製造方法。

【0024】また本発明によれば、前記第二の絶縁膜は、減圧CVD法を用いてSiH<sub>4</sub>ガス及びH<sub>2</sub>OガスとN<sub>2</sub>ガスを反応材料として665Pa以下の真空中で-10℃以上+10℃以下の半導体基板温度で互いに反応させることによってリフロー性SiO<sub>2</sub>膜を形成し、続いて300℃~400℃の成膜温度でのプラズマCVD法によってP-SiON膜を形成することを特徴とする半導体装置の製造方法にある。

【0025】また本発明によれば、前記第二の絶縁膜は、SiO<sub>2</sub>ガスを主成分としTEOSガスとO<sub>2</sub>ガスを主反応物とし、常圧から140Paの圧力範囲で300℃~600℃にてCVD法でSiO<sub>2</sub>膜を形成することを特徴とする半導体装置の製造方法にある。

【0026】また本発明によれば、前記第一の絶縁膜は、フッ素を添加させたTEOS膜であることを特徴とする半導体装置の製造方法にある。

【0027】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0028】図1は本発明の実施の形態を示す成膜工程のフロー図で、図2は各工程で生成された成膜の断面図

である。

【0029】すなわち、半導体基板1の上に素子あるいは第一の配線2材料でパターンニングして配線パターン2を形成後、その半導体基板1を、例えば、図示しないプラズマCVD装置の反応室が100℃で真空中に設定されている場合に、サセプタ上に搬送アームによって設置し、それぞれの条件に応じてプラズマCVD処理を施してベース膜として第一の絶縁膜を生成する。(S1)プラズマCVD装置は、反応室内に原料の低圧気体ガスを導入して電気エネルギーを加えてプラズマ状態を作り出し、反応を行わせて基板上に薄膜を生成する装置で一般に広く用いられているものを使用している。

【0030】本発明では、表面に素子あるいは配線パターン2が形成された半導体基板1の表面上に、プラズマ反応室内でプラズマCVD法により以下のような条件で、それぞれ第一絶縁膜3として、アモルファスカーボン水素膜、アモルファスカーボンフッ素膜又はアモルファスシリコン膜を生成する。

【0031】(1)アモルファスカーボン水素膜を成膜する条件は、 $C_2F_4 = 100 \text{ cc}$ 、 $CH_4 = 100 \text{ cc}$ 、 $H_2 = 100 \text{ cc}$ 、圧力=50Pa、RF POWER=1.5KWである。

【0032】(2)アモルファスカーボンフッ素膜を成膜する条件は、 $CH_4 = 40 \text{ cc}$ 、 $CF_4 = 100 \text{ cc}$ 、 $C_2F_4 = 100 \text{ cc}$ 、 $C_2F_6 = 100 \text{ cc}$ 、圧力=50Pa、RF POWER=1.5Kwである。

【0033】(3)アモルファスシリコン膜を成膜する条件は、 $SiH_4 = 150 \text{ cc}$ 、 $N_2 = 500 \text{ cc}$ 、 $H_2 = 3000 \text{ cc}$ 、圧力=1100Pa、RF POWER=100Wである。

【0034】各々300nmをAPL膜及びTEOS  $O_2$ 膜のベース膜として成膜する。

【0035】次に、この生成された第1の絶縁膜の表面にプラズマ処理を行う。(S2a)このプラズマ処理は、第二絶縁膜4として、APL膜を適用する場合は、同一反応室で $N_2$ 、 $O_2$ 、 $O_3$ プラズマ処理を施す。

【0036】その際の、 $N_2$ 、 $O_2$ プラズマ処理を施す場合の条件は、 $N_2$ 、 $O_2 = 2500 \text{ cc}$ 、圧力=665Pa、RF POWER=500Wである。

【0037】同様に、 $O_3$ プラズマ処理を施す条件は、 $O_3 = 2500 \text{ cc}$ 、圧力=665Pa、RF POWER=500Wである。

【0038】なお、プラズマ処理時間は、何れも各30秒間である。

【0039】また、第二絶縁膜4としてTEOS  $O_2$ 膜を適用する場合は、第一絶縁膜3を成膜後にプラズマ反応室にて $N_2$ 、 $NH_3$ プラズマ処理を施す。

【0040】 $N_2$ プラズマ処理を施す条件は、 $N_2 = 2500 \text{ cc}$ 、圧力=665Pa、RF POWER=500Wである。

【0041】同様に、 $NH_3$ プラズマ処理を施す条件は、 $NH_3 = 2500 \text{ cc}$ 、圧力=665Pa、RF=500Wである。

【0042】なお、プラズマ処理時間は、何れも各30秒間である。

【0043】各々に応じたプラズマ処理後、プラズマ処理された膜の上に第二絶縁膜4である無機膜を生成する。(S3a)

すなわち、プラズマ処理された半導体基板1を一旦プラズマ反応室外に搬出して背圧の真空度を保持したままロードロック室に移送する。

【0044】続いて、APL室に半導体基板1を搬入して0℃に保持されたサセプタ上に設置する。次に $N_2$ 雰囲気中でサセプタ上で適宜半導体基板1を保持する。この保持時間に半導体基板1は、プラズマ処理での余熱が放出される。それによって半導体基板1の表面温度はリフロー確保温度領域に安定して降下する。

【0045】次に、実際のAPL成膜ガス系である $SiH_4$ 、 $H_2$ 、 $O_2$ 、 $N_2$ ガスを反応室に流入させて流量を以下の安定化させる。その条件は、 $SiH_4 = 10 \text{ cc}$ 、 $H_2$ 、 $O_2 = 0.65 \text{ g/min}$ 、 $N_2 = 500 \text{ cc}$ 、圧力=665Pa、時間10secが典型的条件である。

【0046】続いて $SiH_4$ のみ120ccに増量して成膜を開始する。800nm相当の成膜終了後に全ての導入ガスを排出する。

【0047】続いて、同様にプラズマCVD法でキャップ膜のP-SiO膜5を300nmの厚さに成膜する。(S4a)

30 温度と圧力は前記ベース成膜時と同じである。ガスの条件は、 $SiH_4 = 100 \text{ cc}$ 、 $N_2$ 、 $O_2 = 2000 \text{ cc}$ 、 $N_2 = 1000 \text{ cc}$ 、RF POWER=350Wである。

【0048】その後、ファーネスアニール処理(S5a)を行い、生成された膜の中の水分を除去する。

【0049】以上でAPL装置システムの成膜工程は完了する。

【0050】成膜後に別の炉アニール装置で450℃で30min間の最終の熱処理を実施して終了する。その後、光学顕微鏡による観察及び断面をSEM観察して成膜の状態を確認する。

【0051】以上に述べたように、本発明によれば絶縁膜の形成を、まず、有機膜であるアモルファスカーボン水素膜又はアモルファスカーボンフッ素膜又はアモルファスシリコン膜を生成する。

【0052】次に、その有機膜の表面に対しての各々に対応したプラズマ処理を施すことにより、その有機膜の上に生成するAPL膜やTEOS  $O_2$ 膜のように、いわゆる下地表面の依存性に敏感な膜に対して、アモルファスカーボン水素膜については親水性、アモルファスカ

ーボンフッ素膜については疎水性に作用させ、有機膜と無機膜との複合化作用により、絶縁膜を低誘電率で平坦な膜の成膜が可能となった。

【0053】なお、上述の実施の形態では平坦化のためにAPL膜を適用した場合には、アモルファスカーボン水素膜又はアモルファスカーボンフッ素膜又はアモルファスの各々膜の表面を $N_2$ と $N_2O$ プラズマ処理を施し、また、 $O_3$ 、TEOS膜を適用した場合には、同様に膜の表面を $H_2$ と $NH_3$ プラズマ処理を施すことによって良好な絶縁膜を得たが、 $NO_2$ ガスあるいは $O_2$ ガス 10の代わりに $CO_2$ ガス、 $CO$ ガス、 $NO$ ガス、 $NO_2$ ガスあるいは $SO_2$ ガスを用いてもよく、又、 $H_2$ ガスあるいは $NH_3$ ガスの代わりに $TeH_4$ ガス、 $ShH_4$ ガス、 $H_2$ ガス、 $B_2H_6$ ガス、 $PH_3$ ガス、 $C_2H_4$ ガス、 $HF$ ガス、 $NF_3$ ガス、 $C_4H_8$ ガス、 $CHF_3$ ガス、 $H_2S$ ガス、 $H_2Se$ ガス、 $HBr$ ガスあるいは $HCl$ ガスを用いてもよい。

【0054】それらによって、半導体基板1に形成した素子及や配線の上に低誘電率で、かつ、ホットキャリア耐性の両立が可能な膜の形成ができるようになった。 20

【0055】図3はホットキャリア特性結果を示すグラフである。なお、ホットキャリアの特性の測定は、 $NMOS$   $T_r$ でゲート幅/長=12/0.6、ゲート酸化膜=25nm(LDD構造)( $V_d=7.0V$ 、 $V_g=5.0V$ )の10000秒後の3極管の相互コンダクタンスの変動率について測定した。

【0056】また、従来技術及び本発明によるもののベース膜はアモルファスカーボン水素膜を採用した。その際に本発明ではベース膜形成後にリフロー $SiO_2$ 膜を成膜し、その後リフロー $SiO_2$ 膜のキャップとして、CAP膜を成膜し、その後、リフロー $SiO_2$ 膜の水分を抜く工程としてアニール処理を施した。

【0057】この結果より、本発明による膜構造でのホッ

ットキャリア変動率は従来のベース膜を採用した場合でも変化のない結果が得られている。従って、本発明による膜構造は有効であることが確認できた。

【0058】

【発明の効果】本発明は、多層配線工程中の層間絶縁膜の形成工程で、低誘電率な膜として、アモルファスカーボン水素膜、アモルファスカーボンフッ素膜やアモルファスシリコン膜等の有機膜を用いても、各々膜の表面をプラズマ処理を施すことにより、その有機膜の上に生成するAPL膜やTEOS  $O_3$ 膜のように、いわゆる下地表面の依存性に敏感な膜に対して、アモルファスカーボン水素膜については親水性、アモルファスカーボンフッ素膜については疎水性に作用させ、有機膜と無機膜との複合化作用により、絶縁膜を低誘電率で平坦な膜の成膜が可能となった。

【0059】これにより、良好な多層の絶縁膜の上に応じた多層の回路が形成された半導体の特性が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態を示す成膜工程のフロー図。

【図2】本発明の製造方法の各工程で生成された成膜の断面図。

【図3】本発明の製造方法で生成された成膜のホットキャリア特性結果を示すグラフ。

【図4】従来の多層配線形成工程のフロー図。

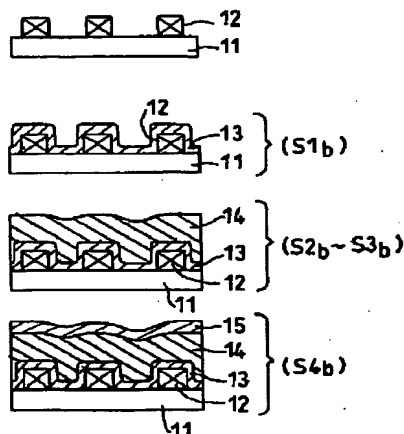
【図5】従来の多層配線形成工程によって生成された膜の断面図。

【図6】従来の別の多層配線形成工程のフロー図。

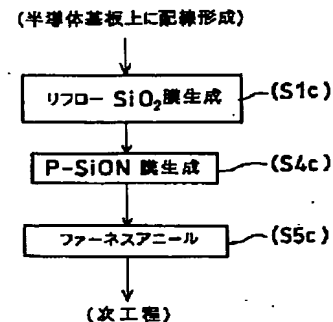
【符号の説明】

1、11…半導体基板、2、12…配線パターン、3、13…第一絶縁膜、4、14…第二絶縁膜、5、15…P- $SiO_2$ 膜(第三絶縁膜)

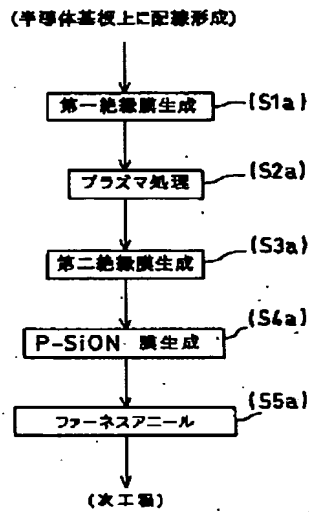
【図5】



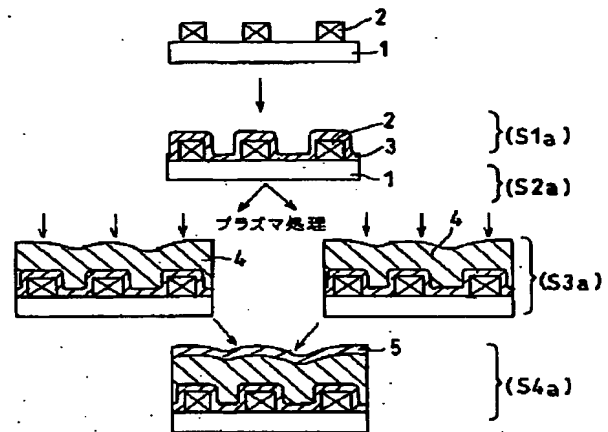
【図6】



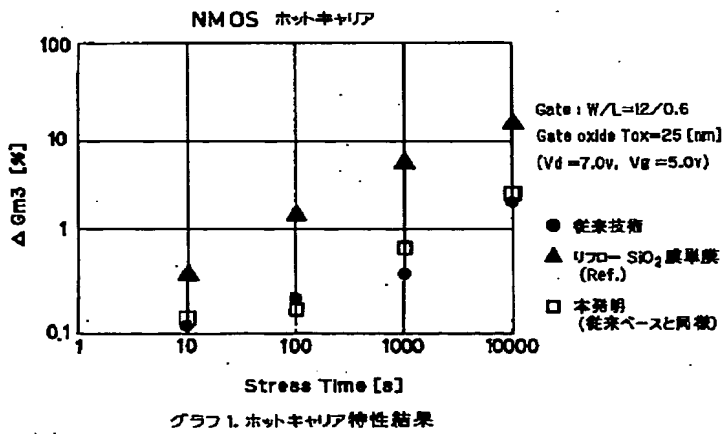
【図1】



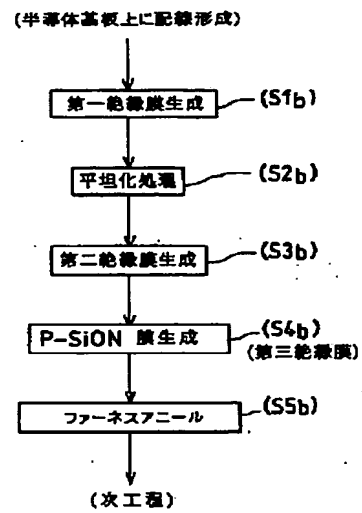
【図2】



【図3】



【図4】



## フロントページの続き

Fターム(参考) 5F045 AA08 AB04 AB07 AB32 AB34  
AB39 AC01 AC09 AC11 AC12  
AC15 AD03 AD05 AD07 AD08  
AD09 AE11 AE13 AE15 AE17  
AE19 AE21 BB02 BB16 CB05  
DC52 GH03 HA13 HA16  
5F058 AA10 AC10 AD02 AD10 AD12  
AF02 AG07 AH01 AH02 BA06  
BA20 BD02 BD04 BD15 BD18  
BE04 BE10 BF04 BF07 BF23  
BF24 BF25 BF26 BF29 BF30  
BF54 BF55 BF60 BH01 BH04  
BH16 BJ01 BJ02